

2024 年安徽省第四届集成电路精英赛赛题

赛题形式：

赛事围绕模拟集成电路设计领域，为促进区域集成电路人才的积极性，赛事采取命题和自选命题相结合的形式，命题赛题具体内容如下：

任务一：运算放大器设计（权重系数0.9）

设计要求：设计一款满足下表所列性能指标的全差分运算放大器。要求使用CMOS

0.18um工艺进行模拟全流程设计，主要包括：

- （1）使用华大九天 EDA 工具，设计满足指定性能指标的电路原理图，并绘制开环性能测试电路；
- （2）在此基础上完成对应的版图绘制，并要求通过 DRC 和 LVS 物理验证；
- （3）在完成上述工作基础上，尽可能优化增益，带宽，功耗，面积等指标。

指标要求：

| 序号 | 设计指标/单位 | 数值 | 备注 |
|----|------------------|----------------|---------------------|
| 1 | 工作温度/℃ | -40~+85 | |
| 2 | 工作电压/V | 1.5~1.9 | |
| 3 | 输入电压范围/V | >0.5 (VCC-VSS) | VCC-VSS 为电源地间电压差 |
| 4 | 输出电压范围 | >0.8 (VCC-VSS) | VCC-VSS 为电源地间电压差 |
| 5 | 开环直流增益/dB | >70dB | |
| 6 | 带宽/MHz | >4MHz | CL=10pF，开环增益为 0dB 时 |
| 7 | 相位裕度 (PM) /度 | >60 度 | 开环增益为 0dB 时 |
| 8 | 静态电流/uA | 20~50 | 包含偏置电路电流 |
| 9 | 电源抑制比 (PSRR) /dB | >70dB | |
| 10 | 共模抑制比 (CMR) /dB | >60dB | |
| 11 | 压摆率 (SR) V/us | >2V/us | CL=10pF |

评分标准：

- （1）调研与方案选择（20分）：完成调研并选择合理架构，理解运放工作原理并论述电路结构选择原因。
- （2）电路设计与前仿真（40分）：画出完整电路原理图设计，实现电路功能。
- （3）版图设计与后仿真（30分）：完成版图设计并进行DRC、LVS验证，后仿真

验证指标。

(4) 创新点与优化建议 (10分)：针对电路结构的创新与优化方案。

任务二：高速低功耗 SAR 模数转换器 (ADC) 设计 (权重系数1.0)

设计要求：在现代高速通信系统中，位于输入端的ADC负责采集通信传输链路中的模拟信号并将其转化为能被后续数字系统处理的数字信号，ADC的性能将极大地制约整个通信系统的性能。这种场合一般要求ADC拥有8位 (bit) 有效位数、20MHz以上的采样率。为了满足现代高速通信系统的要求，需设计一个高速低功耗ADC，主要设计要求包括：

(1) 电路设计:使用华大九天EDA工具，设计满足性能指标的ADC电路原理图。

设计完成后需对输出波形进行频谱分析。

(2) 版图设计:完成ADC电路的版图设计，优化布局以减少寄生效应。通过DRC和LVS验证，确保版图符合工艺要求。

(3) 性能优化:在满足设计指标的要求下，达到尽可能低的功耗。

指标要求：

| 序号 | 设计指标/单位 | 数值 | 备注 |
|----|---------------|---------------|----------|
| 1 | 采样率/MS/s | ≥ 20 | |
| 2 | 分辨率/bit | 8 | |
| 3 | ENOB@Nyq/bit | ≥ 7.5 | Fin=1MHz |
| 4 | SFDR@Nyq/dB | ≥ 55 | Fin=1MHz |
| 5 | 功耗/mW | ≤ 5 | |
| 6 | DNL 与 INL/LSB | $< 1 / < 1.5$ | |
| 7 | 电源电压 AVDD/V | 1.8 | |

评分标准：

(1) 调研与方案选择 (20分)：完成调研并选择合理电路架构，理解SAR ADC工作原理并论述选择原因

(2) 电路设计与前仿真 (40分)：画出完整电路原理图，实现电路设计与仿真。

(3) 版图设计与后仿真 (30分)：完成版图设计并进行DRC、LVS验证，后仿真验证系统指标。

(4) 创新点与优化建议 (10分)：针对电路结构或部分指标的创新与优化方案。

任务三：与或非门（AOI）标准单元设计（仅限高职生）

设计要求：标准单元库作为数字电路设计的基础，其指标对整体电路的性能起到决定性的作用。在深亚微米工艺下，随着制造中效应的引入，需要更加仔细地对电路和版图开展设计。其中版图布局尤为重要，包括标准单元的高度、版图图层的布局以及输入输出信号线的坐标等因素都会对标准单元的性能产生重要影响。本任务要求设计一颗可实现与或非（AOI）逻辑的标准单元，要求使用CMOS 0.18um工艺进行设计，具体要求包括：

（1）电路设计：使用华大九天EDA工具，设计可实现与或非逻辑（AOI）的电路原理图。合理调整晶体管尺寸，在负载电容10fF时，给出正确的电路仿真波形。

（2）版图设计：完成AOI电路的版图设计，优化布局以减少寄生效应。通过DRC和LVS验证，确保版图符合工艺要求。

（3）面积优化：采用紧凑式版图布局方案，优化版图面积。在满足功能要求和设计验证的前提下，尽可能地缩小版图面积。

指标要求：

| 序号 | 设计指标/单位 | 数值 | 备注 |
|----|--------------------|------|----|
| 1 | 工作温度/℃ | 25 | |
| 2 | 工作电压/V | 1.8 | |
| 3 | 电源、地金属宽度/um | 0.5 | |
| 4 | 版图高度/um | 4.0 | |
| 5 | 面积/um ² | <100 | |

评分标准：

（1）调研与方案选择（20分）：完成调研并选择合理架构，理解标准单元传输延时、测试方法；

（2）电路设计与前仿真（40分）：画出完整电路框图，调整晶体管尺寸，仿真波形正确；

（3）版图设计与后仿真（30分）：完成版图设计并进行DRC、LVS验证，后仿真数据达到设计指标要求

（4）创新点与优化建议（10分）：针对版图布局进行优化，使其能达到最大面积的利用率。

赛题选择说明：

自选命题仅限职工组参赛队伍，且选题需围绕模拟集成电路领域自行选择模块电路并采用华大九天EDA工具和CMOS 0.18um工艺开展全流程设计工作。本科及以上在校生限选命题任务一、二；高职（专科）在校生限选任务三。

初赛作品提交：

完整的所选任务的设计报告、作品展示PPT、设计源文件（包括Schematic、Simulation Result、Layout、DRC/LVS Report、PEX Result）；具体提交时间和提交方式见大赛通知。